

(51)Int.Cl. ⁷	識別記号	F I	データシート [*] (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	5 5 0	G 0 2 F 1/133	5 5 0 5 C 0 0 6
	5 7 5		5 7 5 5 C 0 8 0
G 0 9 G 3/20	6 1 1	G 0 9 G 3/20	6 1 1 A
	6 4 1		6 4 1 A

審査請求 未請求 請求項の数5 O L (全 18 頁) 最終頁に続く

(21)出願番号	特願2001-233542(P2001-233542)	(71)出願人	000007369 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号
(22)出願日	平成13年8月1日(2001.8.1)	(72)発明者	山崎 克則 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		(74)代理人	100095728 弁理士 上柳 雅誉 (外2名)

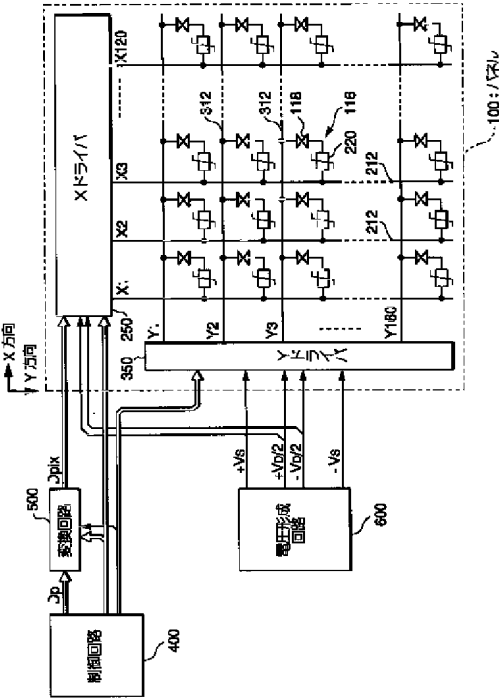
最終頁に続く

(54) 【発明の名称】 電気光学装置および電子機器

(57) 【要約】 (修正有)

【課題】 電気光学装置において、構成の簡略化や低消費電力化を図った上で、多階調表示を実現する。

【解決手段】 制御回路400は、選択電圧が印加される期間にわたって、11発の階調制御パルスを一定周期にて出力し、変換回路500は、画素116の階調を指示する濃度データDpixのうち、最低値と最高値とを除いた14個を、11発の階調制御パルスの各々に対応するように、かつ、着目画素に対して、濃度データで指示される階調と階調データにより実際に表示される画素の階調との差をなくす方向に、変換する。



【特許請求の範囲】

【請求項1】 走査線とデータ線との交差に対応して設けられた画素と、

一の走査線を選択して、当該選択した走査線に選択電圧を印加する走査線駆動回路と、
前記選択電圧が印加される期間にわたって、階調制御パルスを一定周期にて出力するパルス発生回路と、
画素の階調を指示する濃度データを、前記階調制御パルスの各々に対応する階調データに、かつ、着目画素について濃度データで指示される階調と階調データにより実際に表示される画素の階調との差をなくす方向に、変換する変換回路と、
一の走査線が選択されて前記選択電圧が印加される期間のうち、

当該選択された走査線と当該データ線との交差位置における画素の階調データに対応した階調制御パルスが供給されたタイミングを開始点または終了点とした期間、
当該画素をオン表示とさせる点灯電圧を印加するデータ線駆動回路とを具備することを特徴とする電気光学装置。

【請求項2】 前記変換回路は、
着目画素について濃度データで指示される階調と階調データにより実際に表示される画素の階調との差を、複数垂直走査期間を単位としてみて、なくす方向に変換を行うことを特徴とする請求項1に記載の電気光学装置。

【請求項3】 前記変換回路は、
着目画素について濃度データで指示される階調と階調データにより実際に表示される画素の階調との差を、複数画素を単位としてみて、なくす方向に変換を行うことを特徴とする請求項1に記載の電気光学装置。

【請求項4】 走査線とデータ線との交差に対応して設けられた画素と、
一の走査線を選択して、当該選択した走査線に選択電圧を印加する走査線駆動回路と、
前記選択電圧が印加される期間にわたって、階調制御パルスを一定周期の1、2、4または8倍の間隔を足し合わせた間隔にて出力するパルス発生回路と、
一の走査線が選択されて前記選択電圧が印加される期間のうち、
当該選択された走査線と当該データ線との交差位置における画素の階調データに対応した階調制御パルスが供給されたタイミングを開始点または終了点とした期間、
当該画素をオン表示とさせる点灯電圧を印加するデータ線駆動回路とを具備することを特徴とする電気光学装置。

【請求項5】 請求項1または4に記載の電気光学装置を表示部として有することを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、構成の簡略化や、

低消費電力化を図った上で、多階調表示が可能な電気光学装置および電子機器に関する。

【0002】

【従来の技術】近年、液晶の電気光学変化により表示を行う電気光学装置が、薄型・小型・低消費電力等の特長を生かし、陰極線管（CRT）に代わるディスプレイ・デバイスとして各種電子機器やテレビジョンなどに広く用いられつつある。この電気光学装置は、駆動方式等によって分類すると、スイッチングにより画素を駆動するアクティブ・マトリクス型と、スイッチング素子を用いずに画素を駆動するパッシブ・マトリクス型とに大別することができる。

【0003】このうち、アクティブ・マトリクス型では、スイッチング素子の種類によって、さらに、薄膜トランジスタ（TFT：Thin Film Transistor）などの三端子型スイッチング素子を用いる型と、薄膜ダイオード（TFD：Thin Film Diode）などの二端子型スイッチング素子、具体的には例えばMIIM（Metal Insulator Metal）素子を用いる型とに大別することができる。ここで、三端子型スイッチング素子を用いる型と、二端子型スイッチング素子を用いる型とを比較すると、二端子型スイッチング素子を用いる型の方が、配線の交差部分がないために、配線間の短絡不良が原理的に発生しない点や、成膜工程およびフォトリソグラフィ工程を短縮できる点、さらに低消費電力化に向いている点において、三端子型スイッチング素子を用いる型の方よりも有利とされている。一方、パッシブ・マトリクス型は、そもそもスイッチング素子を有しないので、構造の簡略である点や、これに伴う低コスト化が容易である点等において、アクティブ・マトリクス型よりも有利とされている。

【0004】このようなパッシブ・マトリクス型の電気光学装置と、アクティブ・マトリクス型であってスイッチング素子に二端子型を用いた電気光学装置とにおける画素の駆動については、細部において多少相違はあるものの、次に述べるように、概ね共通である。

【0005】例えば、ある走査線（コモン電極）と、あるデータ線（セグメント電極）との交差に対応する着目画素を例えば黒色（ノーマリーホワイトモードにおけるオン）表示とする場合に、走査線駆動回路が着目画素に対応する走査線を選択して選択電圧を印加したとき、データ線駆動回路は、着目画素に対応するデータ線に対し、画素を黒色とさせる点灯電圧を当該選択期間の全域にわたって印加する。一方、着目画素を白色（ノーマリーホワイトモードにおけるオフ）表示とする場合に、走査線駆動回路が着目画素に対応する走査線に選択電圧を印加したとき、データ線駆動回路は、着目画素に対応するデータ線に対し、画素を白色とさせる非点灯電圧を当該選択期間の全域にわたって印加する。さらに、着目画素を黒色および白色の中間的な灰色とする場合に、走査線駆動回路が着目画素に対応する走査線に選択電圧を印

加したときに、データ線駆動回路は、着目画素に対応するデータ線に対し、当該選択期間のうち灰色に应じた期間だけ、点灯電圧を印加する。

【0006】ここで、選択期間のうち灰色に应じた期間だけ点灯電圧を印加するために、選択電圧が印加される期間において、中間階調として取り得る値の各々に対応してパルス（階調制御パルス）をデータ線駆動回路に供給する構成が知られている。例えば、データ線駆動回路は、選択期間において階調制御パルスをカウントするとともに、当該カウント結果が着目画素の階調に应じた値となった時点において、データ線に印加する電圧を非点灯電圧から点灯電圧に切り替える、または、点灯電圧から非点灯電圧に切り替えるのである。

【0007】

【発明が解決しようとする課題】しかしながら、液晶装置において、選択期間に点灯電圧を印加する期間と、それによる画素の実際の階調とは直線的な関係にない点に留意しなければならない。例えば、選択期間に点灯電圧を印加する期間を2倍としても、画素の濃度が2倍にはならないのである（ノーマリーホワイト）。このため、選択期間に供給する階調制御パルスを、適用する液晶装置における画素の階調特性に应じて不均等な間隔にて供給する構成が必要となるが、このような構成は、次に述べるように構成が複雑化するだけでなく、低消費電力化を阻害する要因となる。

【0008】例えば、選択期間に供給する階調制御パルスを画素の階調特性に应じて不均等な間隔にて供給するためには、選択期間にわたって周波数の極めて高い源振クロック信号をカウントするとともに、当該カウント結果が中間階調として取り得る値の各々に達する毎に、階調制御パルスを出力する構成とすれば良い。しかしながら、このような構成では、カウンタのほかにコンパレータ、さらには、その比較のための基準値を順次供給する回路等が必要となるので、構成の複雑化を招来するだけでなく、高周波数のクロック信号を扱うため、容量負荷による電力消費が無視できなくなるのである。

【0009】本発明は、上述した事情に鑑みてなされたものであり、その目的とするところは、構成の簡略化や、低消費電力化を図った上で、多階調表示が可能な電気光学装置および電子機器を提供することにある。

【0010】

【課題を解決するための手段】上記目的を達成するため、実施形態に係る電気光学装置は、走査線とデータ線との交差に対応して設けられた画素と、一の走査線を選択して、当該選択した走査線に選択電圧を印加する走査線駆動回路と、前記選択電圧が印加される期間にわたって、階調制御パルスを一定周期にて出力するパルス発生回路と、画素の階調を指示する濃度データを、前記階調制御パルスの各々に対応する階調データに、かつ、着目画素について濃度データで指示される階調と階調データ

により実際に表示される画素の階調との差をなくす方向に、変換する変換回路と、一の走査線が選択されて前記選択電圧が印加される期間のうち、当該選択された走査線と当該データ線との交差位置における画素の階調データに対応した階調制御パルスが供給されたタイミングを開始点または終了点とした期間、当該画素をオン表示とさせる点灯電圧を印加するデータ線駆動回路とを具備する構成を特徴としている。この構成によれば、パルス発生回路は、階調制御パルスを一定周期にて配列させて出力すれば良いので、そのため回路構成が簡略化されるほか、動作周波数が低くて済む。さらに、変換された階調データによって画素の階調が補正されるので、階調表示の飛びが防止されることになる。なお、本件における点灯電圧とは、ある1本の走査線が選択された期間に着目した場合に、その期間において印加される選択電圧とは逆極性にあるデータ信号電圧をいう。

【0011】ここで、変換回路による変換内容としては、前記変換回路は、着目画素について濃度データで指示される階調と階調データにより実際に表示される画素の階調との差を、複数垂直走査期間を単位としてみて、なくす方向に変換を行う態様のほか、着目画素について濃度データで指示される階調と階調データにより実際に表示される画素の階調との差を、複数画素を単位としてみて、なくす方向に変換を行う態様などが考えられる。なお、着目画素に対して、濃度データで指示される階調と階調データにより実際に表示される画素の階調との差を、複数垂直走査期間を単位としてみて、なくす方向に変換する処理としては、フレームレートコントロール法が挙げられ、また、当該差を、当該画素を含む複数画素を単位としてみて、なくす方向に変換する処理としては、ディザ法などの面積階調法が挙げられる。むろん、これらを併用しても良い。

【0012】また、上記目的を達成するため、実施形態に係る電気光学装置は、走査線とデータ線との交差に対応して設けられた画素と、一の走査線を選択して、当該選択した走査線に選択電圧を印加する走査線駆動回路と、前記選択電圧が印加される期間にわたって、階調制御パルスを一定周期の1、2、4または8倍の間隔を足し合わせた間隔にて出力するパルス発生回路と、一の走査線が選択されて前記選択電圧が印加される期間のうち、当該選択された走査線と当該データ線との交差位置における画素の階調データに対応した階調制御パルスが供給されたタイミングを開始点または終了点とした期間、当該画素をオン表示とさせる点灯電圧を印加するデータ線駆動回路とを具備する構成を特徴としている。この構成によれば、パルス発生回路は、階調制御パルスを、一定周期の1、2、4または8倍の間隔を足し合わせた間隔にて出力すれば良いので、動作周波数が低くて済む。

【0013】さらに、実施形態に係る電子機器は、上記

電気光学装置を表示部として有しているので、構成の簡略化や低消費電力化等を図ることができる。なお、このような電子機器としては、パーソナルコンピュータや、デジタルスチルカメラ、携帯電話などが挙げられる。

【0014】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して説明する。

【0015】＜構成＞はじめに、本発明の実施形態に係る電気光学装置の構成について説明する。図1は、この電気光学装置の構成を示すブロック図である。この図に示されるように、電気光学装置のパネル100には、複数のデータ線（セグメント電極）212が列（Y）方向に延在して形成される一方、複数の走査線（コモン電極）312が行（X）方向に延在して形成されるとともに、データ線212と走査線312との各交差に対応して画素116が形成されている。ここで、各画素116は、液晶容量118と、二端子型スイッチング素子の一例であるTFD（Thin Film Diode：薄膜ダイオード）220との直列接続からなる。このうち、液晶容量118は、後述するように、対向電極として機能する走査線312と、矩形状の画素電極との間に、電気光学物質の一例たる液晶を挟持した構成となっている。なお、本実施形態にあっては、説明の便宜上、走査線312の総数を160本とし、データ線212の総数を120本として、160行×120列のマトリクス型表示装置として説明するが、本発明をこれに限定する趣旨ではない。

【0016】次に、Yドライバ350は、一般には走査線駆動回路と呼ばれるものであり、走査信号Y1、Y2、Y3、…、Y160を、それぞれ1行目、2行目、3行目、…、160行目の走査線312に供給するものである。詳細には、Yドライバ350は、160本の走査線312を後述するように1本ずつ選択して、選択した走査線312には選択電圧を、他の走査線312には非選択電圧を、それぞれ供給するものである。

【0017】また、Xドライバ250は、一般にはデータ線駆動回路と呼ばれるものであり、Yドライバ350により選択された走査線312に位置する画素116に対し、データ信号X1、X2、X3、…、X120を、表示内容に応じてそれぞれ対応するデータ線212を介して供給するものである。なお、Xドライバ250およびYドライバ350の詳細構成については後述することにする。

【0018】一方、制御回路400は、Xドライバ250に対して、水平走査を規定するための各種制御信号やクロック信号などを供給する一方、Yドライバ350に対して、垂直走査を規定するための各種制御信号やクロック信号などを供給するものである。さらに、制御回路400は、画素116の階調を、0から15までの16段階で指示する4ビットの濃度データDpを、垂直走査および水平走査に同期して供給する。次に、変換回路5

00は、16段階で示す濃度データDpを、13段階で示す階調データDpixに、後述するように変換するものである。なお、説明の便宜上、濃度データDpは、2進表記において（0000）から（1111）までの16段階にて示され、また、階調データDpixは、2進値において（0000）から（1100）までの13段階にて示されるものとする。続いて、電圧形成回路600は、パネル100に用いられる電圧 $\pm V_s$ と電圧 $\pm V_D/2$ とをそれぞれ生成するものである。ここで、本実施形態において、電圧 $\pm V_s$ は、走査信号における選択電圧として用いられる。また、電圧 $\pm V_D/2$ は、走査信号における非選択電圧と、データ信号におけるデータ電圧とで兼用される構成となっている。

【0019】＜機械的構成＞次に、パネル100の機械的な構成について説明する。図2は、パネル100の全体構成を示す斜視図である。また、図3は、このパネル100をX方向に沿って破断した場合の構成を示す部分断面図であり、図4は、このパネル100をY方向に沿って破断した場合の構成を示す部分断面図である。これらの図に示されるように、パネル100は、背面側に位置する素子基板200と、観察側に位置し、素子基板200よりも一回り小さい対向基板300とが、スペーサを兼ねる導電性粒子（導通材）114の混入されたシール材110によって一定の間隙を保って貼り合わせられるとともに、この間隙に例えばTN（Twisted Nematic）型の液晶160が封入された構成となっている。なお、シール材110は、図2に示されるように、対向基板300の内周縁に沿って枠状に形成されるが、液晶160を封入するために、その一部が開口している。このため、液晶封入後に、その開口部分が封止材112によって封止された構成となっている。

【0020】さて、対向基板300の対向面には、行（X）方向に延在して形成される帯状電極たる走査線312のほか、配向膜308が形成されて、一定方向にラビング処理が施されている。ここで、走査線312の一端は、特に図3に示されるように、それぞれシール材110の形成領域まで引き延ばされている。また、対向基板300の外側（観察側）には偏光子131が貼り付けられて（図2では省略）、その吸収軸が、配向膜308へのラビング処理の方向に応じて設定されている。

【0021】一方、素子基板200の対向面には、Y（列）方向に延在して形成されるデータ線212に隣接して矩形状の画素電極234が形成されるほか、配向膜208が形成されて、一定方向にラビング処理が施されている。さて、素子基板200には、走査線312の各々と一対一に対応して配線342が設けられている。詳細には、この配線342の一端は、特に図3に示されるように、シール材110の形成領域において、対応する走査線312の一端と対向するように形成されている。ここで、導電性粒子114は、走査線312の一端と配

線342の一端とが対向する部分に、少なくとも1個以上介在するような割合にてシール材110中に分散される。このため、対向基板300に形成された走査線312は、当該導電性粒子114を介して、素子基板200における対向面上の配線342に接続されて、電氣的にみて、シール材110の形成領域外に引き出された状態となっている。また、素子基板200に形成されたデータ線212の一端は、そのままシール材110の形成領域外まで、引き出された構成となっている。さらに、素子基板200の外側(背面側)には偏光子121が貼り付けられて(図2では省略)、その吸収軸が、配向膜208へのラビング処理の方向に応じて設定されている。なお、本実施形態におけるパネル100は、透過型であるため、素子基板200の背面側には、均一に光を照射するバックライトユニットが設けられるが、本件とは直接に関係しないので、ここでは図示を省略している。

【0022】続いて、パネル100における表示領域外について説明すると、図2に示されるように、素子基板200にあって対向基板300から張り出した2辺には、データ線212を駆動するためのXドライバ250、および、走査線312を駆動するためのYドライバ350が、それぞれCOG(Chip On Glass)技術により実装されている。したがって、Xドライバ250は、データ線212にデータ信号を直接的に供給する一方、Yドライバ350は、配線342および導電性粒子114を介し、走査線312に走査信号を間接的に供給する構成となる。

【0023】また、Xドライバ250が実装される領域の外側近傍には、FPC(Flexible Printed Circuit)基板150の一端が接合されている。ここで、FPC基板150の中央部分近傍には、電圧形成回路600を構成するICチップがCOF(Chip On Film)技術により実装されている。また、FPC基板150における他端の接続先は、図2では省略されているが、図1における制御回路400および変換回路500である。すなわち、制御回路400が、Xドライバ250、Yドライバ350の各々に、それぞれに各種信号やクロック信号を供給する一方、変換回路500が、Xドライバ250に階調データDpixを供給する構成となっている。

【0024】なお、図1におけるXドライバ250およびYドライバ350は、図2とは異なり、それぞれパネル100の左側および上側にそれぞれ位置しているが、これは、電氣的な構成を説明するための便宜上の措置に過ぎない。また、Xドライバ250およびYドライバ350を、それぞれ素子基板200にCOG実装する替わりに、例えば、TAB(Tape Automated Bonding)技術を用いて、各ドライバや電源回路が実装されたTCP(Tape Carrier Package)を、異方性導電膜により電氣的および機械的に接続する構成としても良い。

【0025】＜画素の構成＞次に、パネル100におけ

る画素116の詳細構成について説明する。図5は、その構造を示す部分破断斜視図である。なお、この図では、説明理解のために、図3や図4における配向膜208、308および偏光子121、131が省略されている。図5に示されるように、素子基板200の対向面には、ITO(Indium Tin Oxide)などの透明導電体からなる矩形状の画素電極234がマトリクス状に配列しており、このうち、同一列にて配列された画素電極234が、1本のデータ線212に、それぞれTFD220を介して共通接続されている。ここで、TFD220は、基板側からみると、タンタル単体やタンタル合金などから形成され、かつ、データ線212からT字状に枝分かれた第1の導電体222と、この第1の導電体222を陽極酸化させた絶縁体224と、クロム等などの第2の導電体226とから構成されて、導電体/絶縁体/導電体のサンドイッチ構造となっている。このため、TFD220は、電流-電圧特性が正負双方向にわたって非線形となるダイオードスイッチング特性を有することになる。

【0026】なお、素子基板200の上面に形成された絶縁体201は、透明性および絶縁性を有するものであるが、かかる絶縁体201が形成される理由は、第2の導電体226の堆積後における熱処理により、第1の導電体222が剥離しないようにするため、および、第1の導電体222に不純物が拡散しないようにするためである。したがって、これらが問題とならない場合には、絶縁体201は省略可能である。

【0027】一方、対向基板300の対向面には、ITOなどからなる走査線312が、データ線212とは直交する行方向に延在し、かつ、画素電極234の対向する位置に配列している。これにより、走査線312は、画素電極234の対向電極として機能することになる。したがって、図1における液晶容量118は、データ線212と走査線312との交差において、当該走査線312と、画素電極234と、両者の間に挟持された液晶160とによって構成されることになる。

【0028】このような構成において、データ線212に印加されているデータ電圧にかかわらず、TFD220を強制的に導通状態(オン)にさせる選択電圧を走査線312に印加すると、当該走査線312および当該データ線212の交差に対応するTFD220がオンして、オンしたTFD220に接続された液晶容量118に、当該選択電圧および当該データ電圧の差に応じた電荷が蓄積される。電荷蓄積後、走査線312に非選択電圧を印加して、当該TFD220をオフさせても、液晶容量118における電荷の蓄積が維持される。そして、液晶容量118に蓄積される電荷量に応じて、液晶160の配向状態が変化するので、偏光子121、131を通過する光量は、蓄積された電荷量に応じて変化する。したがって、選択電圧が印加されたときのデータ電圧に

よって、液晶容量118における電荷の蓄積量を画素毎に制御することで、所定の階調表示が可能になる。

【0029】<駆動法>次に、本実施形態に係るパネル100では、画素116が4値駆動法(1/2Hセレクト、1H反転)という方法により駆動される。この駆動法については、本発明とは直接関係しないので、その詳細な説明を省略するが、簡略化して言えば、1水平走査期間1Hを2分割して前半期間と後半期間とに分け、このうち例えば後半期間において1本の走査線に選択電圧を印加するとともに、当該走査線に位置する画素の表示内容に応じたデータ電圧を、対応するデータ線に印加する一方、その前半期間では、後半期間に印加されるであろう電圧の逆極性電圧を、当該データ線に予め印加する、という駆動法である。なお、本実施形態において、走査線312やデータ線212に印加される電圧の極性基準は、データ線212に印加されるデータ電圧 $\pm V_D/2$ の中間電圧を基準としている。以下、この4値駆動法を実行するために必要となる制御信号や、クロック信号、そのための具体的な構成などについて説明する。

【0030】<制御回路>まず、図1における制御回路400によって生成される制御信号やクロック信号などの各種信号について説明する。

【0031】まず、Y(垂直走査)側に用いられる信号について説明する。第1に、スタートパルスDYは、図7に示されるように、1垂直走査期間(1F)の最初に出力されるパルスである。第2に、クロック信号YCKは、Y側の基準信号であり、同図に示されるように、1水平走査期間(1H)の周期を有する。第3に、極性指示信号POLは、走査信号における選択電圧の極性を指示する信号であり、同図に示されるように、同一の垂直走査期間内では、1水平走査期間(1H)毎に論理レベルが反転し、また、隣接する垂直走査期間において同一の水平走査期間に着目しても、論理レベルが反転する関係となっている。第4に、制御信号INHは、1水平走査期間1Hにおける選択電圧の印加期間を規定するための信号である。前述したように、本実施形態では1水平走査期間1Hの後半期間において走査線に選択電圧を印加するので、制御信号INHは、当該後半期間にHレベルとなる。このため、制御信号INHは、結果的に、クロック信号YCKの位相を180度シフトさせたものとなっている。

【0032】次に、X(水平走査)側に用いられる信号について説明する。第1に、スタートパルスDXは、図11に示されるように、1行分の階調データDpixの供給開始タイミングにおいて出力されるパルスである。ここで、階調データDpixは、前述したように濃度データDpを、変換回路500(図1参照)によって変換されたものである。第2に、クロック信号XCKは、X側の基準信号であり、その周期は、図11に示されるように、1画素分の階調データDpixが供給される期間に相

当している。第3に、ラッチパルスLPは、1水平走査期間(1H)の開始時に立ち上がるパルスであって、図11に示されるように、1行分の階調データDpixが供給された後に出力されるパルスである。第4に、リセット信号RESは、図12に示されるように、1水平走査期間の前半期間の最初および後半期間の最初にそれぞれ出力されるパルス信号である。第5に、階調コードパルスGCPは、図8に示されるパルス発生回路410によって出力されるものであり、クロック信号GCKの立ち上がり時のうち、リセット信号RESが出力されないタイミングにて出力されるものである。ここで、クロック信号GCKは、クロック信号YCKに対して1/32の周期を有している。そして、本実施形態において、階調制御パルスGCPは、図9に示されるように、1水平走査期間(1H)の前半期間または後半期間(1/2H)を16分割した期間の先頭タイミングのうち、リセット信号RESが出力されるタイミングを1番目とした場合に、1番目から5番目までの先頭タイミングを除いたタイミングにて11発、等間隔にて出力される。なお、説明の便宜上、前半期間または後半期間において出力される階調制御パルスGCPを、区別する場合には、順番にL11、L10、L9、…、L1と表記することにする。

【0033】<Yドライバ>次に、Yドライバ350の詳細について説明する。図6は、このYドライバ350の構成を示すブロック図である。この図において、シフトレジスタ352は、走査線312に総数に対応した160ビットシフトレジスタである。詳細には、シフトレジスタ352は、1垂直走査期間の最初に供給されるスタートパルスDYをクロック信号YCKにしたがって順次シフトして、転送信号Ys1、Ys2、Ys3、…、Ys160として順次出力するものである。ここで、転送信号Ys1、Ys2、Ys3、…、Ys160は、それぞれ1行目、2行目、3行目、…、160行目の走査線312にそれぞれ1対1に対応するものであって、いずれかの転送信号がHレベルになると、それに対応する走査線312を選択すべき水平走査期間(1H)であることを指示する。

【0034】続いて、電圧選択信号形成回路354は、これらの転送信号のほか、極性指示信号POLおよび制御信号INHから、走査線312に印加すべき電圧を定める電圧選択信号a、b、c、dを排他的に、走査線312毎に対応して出力するものである。ここで、本実施形態において、走査線312に印加される走査信号の電圧は、上述したように+VS(正極側選択電圧)、+VD/2(正極側非選択電圧)、-VS(負極側非選択電圧)、-VD/2(負極側選択電圧)の4値であり、このうち、選択電圧+VSまたは-VSが実際に印加される期間は、1水平走査期間の後半期間1/2Hである。さらに、非選択電圧は、選択電圧+VSが印加された後

では $+VD/2$ であり、選択電圧 $-VS$ が印加された後では $-VD/2$ であって、直前の選択電圧により一義的に定まっている。

【0035】このため、電圧選択信号形成回路354は、走査信号の電圧レベルが次の関係になるように、電圧選択信号 a 、 b 、 c 、 d を生成する。すなわち、転送信号 $Ys1$ 、 $Ys2$ 、…、 $Ys160$ のいずれかHレベルになって、それに対応する走査線312を選択すべき水平走査期間である旨が指示され、さらに、制御信号 INH がHレベルとなって、当該水平走査期間の後半期間であることが知られると、電圧選択信号形成回路354は、当該走査線312への走査信号の電圧レベルを、第1に、極性指示信号 POL の信号レベルに対応した極性の選択電圧とし、第2に、制御信号 INH がLレベルに遷移すると、言い換えると選択状態から非選択状態に遷移すると、当該選択電圧に対応する非選択電圧となるように電圧選択信号を生成する。

【0036】具体的には、電圧選択信号形成回路354は、制御信号 INH がHレベルとなる期間において、極性指示信号 POL がHレベルであれば正極側選択電圧 $+VS$ を選択させる電圧選択信号 a を当該期間に出力し、この後、制御信号 INH がLレベルに遷移すれば、正極側非選択電圧 $+VD/2$ を選択させる電圧選択信号 b を出力する一方、制御信号 INH がHレベルとなる期間において、極性指示信号 POL がLレベルであれば負極側選択電圧 $-VS$ を選択させる電圧選択信号 d を当該期間に出力し、この後、制御信号 INH がLレベルに遷移すれば、負極側非選択電圧 $-VD/2$ を選択させる電圧選択信号 c を出力することになる。

【0037】次に、レベルシフタ356は、電圧選択信号形成回路354による電圧選択信号 a 、 b 、 c 、 d の電圧振幅をそれぞれ拡大して、 a' 、 b' 、 c' 、 d' として出力するものである。そして、セレクト358は、電圧振幅が拡大された電圧選択信号 a' 、 b' 、 c' 、 d' によって指示される電圧を、実際に選択して、対応する走査線312の各々に走査信号として印加するものである。

【0038】＜走査信号の電圧波形＞次に、上記構成のYドライバ350によって供給される走査信号の電圧波形について検討する。まず、スタートパルス DY が、図7に示されるように、シフトレジスタ352によりクロック信号 YCK にしたがって1水平走査期間1H毎に順次シフトされて、これが転送信号 $Ys1$ 、 $Ys2$ 、…、 $Ys160$ として出力される。ここで、ある転送信号がHレベルになる1水平走査期間では、制御信号 INH によって後半期間 $1/2H$ が選択されて、当該後半期間における極性指示信号 POL の論理レベルに応じて、当該転送信号に対応する走査線への選択電圧が定められる。

【0039】詳細には、ある1本の走査線に供給される走査信号の電圧は、当該走査線が選択される1水平走査

期間1Hの後半期間 $1/2H$ において、極性指示信号 POL が例えばHレベルであれば正極側選択電圧 $+VS$ となり、その後、当該選択電圧に対応する正極側非選択電圧 $+VD/2$ を保持する。そして、1垂直走査期間(1F)が経過して、1水平走査期間の後半期間においては、極性指示信号 POL が反転してLレベルになるので、当該走査線に供給される走査信号の電圧は、負極側選択電圧 $-VS$ となり、その後、当該選択電圧に対応する負極側非選択電圧 $-VD/2$ を保持することになる。例えば、ある垂直走査期間において1行目の走査線312への走査信号 $Y1$ は、図7に示されるように、当該水平走査期間の後半期間において、極性指示信号 POL のHレベルに対応して正極側選択電圧 $+VS$ となり、その後、正極側非選択電圧 $+VD/2$ を保持する。次の1水平走査期間の後半期間においては、極性指示信号 POL のレベルが前回の選択とは論理反転したLレベルになるので、当該走査線への走査信号 $Y1$ は、負極側選択電圧 $-VS$ となり、その後、負極側非選択電圧 $-VD/2$ を保持する。以下このサイクルの繰り返しとなる。

【0040】また、極性指示信号 POL は、1水平走査期間1H毎に論理レベルが反転するので、各走査線312に供給される走査信号は、1水平走査期間1H毎に、すなわち、走査線312の1本毎に交互に極性が反転する関係となる。例えばあるフレームにおいて、1行目の走査信号 $Y1$ の選択電圧が正極側選択電圧 $+VS$ であれば、1水平走査期間経過後において、2行目の走査信号 $Y2$ の選択電圧は負極側選択電圧 $-VS$ となる。

【0041】＜Xドライバ＞次に、Xドライバ250の詳細について説明する。図10は、このXドライバ250の構成を示すブロック図である。この図において、シフトレジスタ25100は、1行分の階調データ $Dpix$ の供給開始タイミングにおいて出力されるスタートパルス DX を、クロック信号 XCK の立ち上がり毎に順次シフトして、サンプリング制御信号 $Xs1$ 、 $Xs2$ 、 $Xs3$ 、…、 $Xs120$ として出力するものである。

【0042】続いて、レジスタ(Reg)2520は、データ線212と1対1に対応して設けられ、供給された階調データ $Dpix$ を、サンプリング制御信号の立ち上がりにてサンプリングして、保持するものである。さらに、ラッチ回路(L)2530は、レジスタ2520と1対1に対応して設けられ、レジスタ2520によって保持された階調データ $Dpix$ を、水平走査期間の開始時に供給されるラッチパルス LP の立ち上がりによってラッチして出力するものである。

【0043】一方、カウンタ2540は、リセット信号 RES の立ち上がりにて、階調データの最大値に相当する(1101)を初期値としてセットするとともに、該初期値を階調コードパルス GCP が立ち上がる毎にダウンカウントし、その計数結果 C を出力するものである。次に、コンパレータ(CMP)2550は、ラッチ回路

2530と1対1に対応して設けられ、カウンタ2540による計数結果Cと、対応するラッチ回路2530によりラッチされた階調データDpixとを比較して、後者が前者以上となったときに、Hレベルとなる信号を出力するものである。

【0044】また、EX-OR回路2562は、極性指示信号POLと制御信号INHとの排他的論理和信号MXを求めて、これによりスイッチ2560による選択を制御するものである。詳細には、スイッチ2560は、排他的論理和信号MXがHレベルであれば、図において実線で示される位置をとって、データ電圧+VD/2を電圧供給線2568に、データ電圧-V D/2を電圧供給線2564に、それぞれ供給する一方、排他的論理和信号MXがLレベルであれば、図において破線で示される位置をとって、データ電圧+VD/2を電圧供給線2564に、データ電圧-V D/2を電圧供給線2568に、それぞれ供給するものである。

【0045】そして、スイッチ2570は、コンパレータ2550と1対1に対応して、すなわち、データ線212と1対1に対応して設けられて、コンパレータ2550の比較結果に応じて電圧供給線2564、2568の一方を選択するものである。詳細には、スイッチ2570は、コンパレータ2550による比較結果を示す信号がLレベルであれば、図において実線で示されるように電圧供給線2564を選択する一方、該信号がHレベルであれば、図において破線で示されるように電圧供給線2568を選択して、それぞれ選択した電圧供給線に供給されているデータ電圧を、データ信号として、対応するデータ線212に印加するものである。

【0046】＜データ信号の電圧波形＞次に、データ信号の電圧波形を説明するために、Xドライバ350の動作について検討する。まず、図11に示されるように、スタートパルスDXがHレベルに立ち上がると、いずれかの行における1列目、2列目、3列目、…、120列目の画素に対応する階調データDpixが順番に供給される。

【0047】このうち、1列目の画素に対応する階調データDpixが供給されるタイミングにおいて、シフトレジスタ2510から出力されるサンプリング制御信号Xs1がHレベルに立ち上がると、当該階調データが、1列目に対応するレジスタ2520によってサンプリングされる。次に、2列目の画素に対応する階調データDpixが供給されるタイミングにおいて、サンプリング制御信号Xs2がHレベルに立ち上がると、当該階調データが、2列目に対応するレジスタ2520によってサンプリングされる。以下同様にして、3列目、4列目、…、120列目の画素に対応する階調データDpixの各々が、それぞれ3列目、4列目、…、120列目に対応するレジスタ2520によってサンプリングされることになる。

【0048】続いて、ラッチパルスLPが出力されると（その論理レベルがHレベルに立ち上がると）、それぞれ各列のレジスタ2520によってサンプリングされた階調データDpixが、それぞれの列に対応するラッチ回路2530によって一斉にラッチされる。一方、計数結果Cは、図12に示されるように、リセット信号RESの立ち上がりによってセットされた(1100)を、階調コードパルスGCPが立ち上がる毎に、カウンタ2540によってダウンカウントした値となる。したがって、コンパレータ2550では、ラッチ回路2530によってラッチされた階調データDpixと、カウンタ2540による計数結果Cとが、該ラッチパルスLPで規定される水平走査期間の前半期間と後半期間との各々において、データ線毎にそれぞれ比較されることになる。

【0049】ところで、極性指示信号POLがHレベルとなる水平走査期間において、排他的論理和信号MXは、その前半期間においてHレベルとなり、その後半期間においてLレベルとなる。このため、当該水平走査期間の前半期間では、電圧供給線2564に電圧-V D/2が印加され、電圧供給線2568に電圧+VD/2が印加される一方、当該水平走査期間の後半期間では、電圧の印加関係が逆転する。

【0050】ここで、一般的にj列目のラッチ回路2530によってラッチされた階調データDpixが、最低値の(0000)である場合を想定する。この場合、リセット信号RESが出力されてから階調コードパルスGCPが11発出力されても、計数結果Cは、ラッチされた(0000)以下にはならない。このため、j列目のコンパレータ2550による出力信号は、当該ラッチパルスLPによって規定される1水平走査期間の前半期間においても後半期間においてもLレベルを維持する。ただし、当該水平走査期間の前半期間と後半期間とでは、電圧供給線2564、2568に印加される電圧の印加関係が逆転するので、j列目のデータ線212に供給されるデータ信号Xjは、図12に示されるように、当該水平走査期間の前半期間では電圧-V D/2となり、当該水平走査期間の後半期間では電圧+VD/2となる。このため、階調データDpixが(0000)であれば、走査線に選択電圧が印加される後半期間において、当該選択電圧と逆極性の関係にある点灯電圧は、全く印加されずに、当該後半期間の全域にわたって非点灯電圧が印加されることになる。

【0051】次に、一般的にj列目のラッチ回路2530によってラッチされた階調データDpixが、中間値、例えば(1001)である場合を想定する。この場合、リセット信号RESが出力されてから階調コードパルスGCPが3発出力された時点にて、すなわち、パルスL9が出力された時点にて、計数結果Cが、ラッチされた(1001)以下になるので、当該時点にて、j列目のコンパレータ2550による出力信号は、Lレベルから

Hレベルに遷移する。このため、j列目のデータ線212に供給されるデータ信号Xjは、図12に示されるように、当該水平走査期間の前半期間にリセット信号RESが出力されてから階調コードパルスGCPが3発出力されるまで、電圧 $-VD/2$ となり、この後から当該水平走査期間の後半期間の開始時にリセット信号RESが出力されるまで、電圧 $+VD/2$ となる。また、当該水平走査期間の後半期間の開始時にリセット信号RESが出力されると、j列目のコンパレータ2550による出力信号がLレベルに復帰するが、同時に電圧供給線2564、2568に印加される電圧の印加関係も逆転するので、リセット信号RESが出力された直後では、見掛け上、データ信号Xjは電圧 $+VD/2$ を維持する。そして、階調コードパルスGCPが再び3発出力されると、データ信号Xjは、電圧 $-VD/2$ に遷移する。

【0052】すなわち、データ信号Xjは、前半期間のうち、先頭3/12の期間において電圧 $-VD/2$ となり、残余の9/12の期間において電圧 $+VD/2$ となり、続く後半期間のうち、先頭3/12の期間において引き続き電圧 $+VD/2$ となり、残余の9/12の期間において電圧 $-VD/2$ となる。結局、階調データDpixが(1001)であれば、点灯電圧は、走査線に選択電圧が印加される後半期間のうち、9/12だけ印加される一方、非点灯電圧は、残りの3/12に印加されることになる。なお、ラッチされた階調データDpixが、(1000)以外の中間値に相当する場合でも、コンパレータ2550による出力信号の遷移タイミングが異なる点を除けば同様である。

【0053】したがって、リセット信号RESが出力されてから順番に供給される階調制御パルスGCPであるパルスL11、L10、L9、…、L1は、それぞれ点灯電圧の印加期間Pwを、11/12、10/12、9/12、…、1/12として規定することになる。

【0054】さらに、一般的にj列目のラッチ回路2530によってラッチされた階調データDpixが、最高値に相当する(1100)である場合を想定する。この場合、リセット信号RESが出力された時点にて、直ちに、計数結果Cがラッチされた(1100)になるので、j列目のコンパレータ2550による出力信号は、当該ラッチパルスLPによって規定される1水平走査期間の前半期間においても後半期間においてもHレベルを維持する。ただし、当該水平走査期間の前半期間と後半期間とでは、電圧供給線2564、2568に印加される電圧の印加関係が逆転するので、j列目のデータ線212に供給されるデータ信号Xjは、当該水平走査期間の前半期間では電圧 $+VD/2$ となり、当該水平走査期間の後半期間では電圧 $-VD/2$ となる。したがって、階調データDpixが(1101)であれば、走査線に選択電圧が印加される後半期間の全域にわたって、点灯電圧が印加されることになり、非点灯電圧は全く印加され

ないことになる。

【0055】なお、ここでは極性指示信号POLがHレベルとなる水平走査期間について説明したが、極性指示信号POLがLレベルとなる水平走査期間では、排他的論理和信号MXだけが論理反転するだけであり、他については同様である。すなわち、極性指示信号POLがLレベルとなる水平走査期間の前半期間では、電圧供給線2564に電圧 $+VD/2$ が印加され、電圧供給線2568に電圧 $-VD/2$ が印加される一方、当該水平走査期間の後半期間では、電圧供給線2564に電圧 $-VD/2$ が印加され、電圧供給線2568に電圧 $+VD/2$ が印加されるのみの相違となる。したがって、極性指示信号POLがLレベルとなる水平走査期間におけるデータ信号Xjは、図12に示されるように、極性指示信号POLがHレベルとなる水平走査期間におけるデータ信号Xjの論理レベルを反転したものとなる。ただし、いずれの水平走査期間であっても、点灯電圧が、時間的に後方に寄せられる点は共通であり、また、その印加期間Pwも同一である。

【0056】さらに、1水平走査期間でみると、データ信号Xjにおいて電圧 $+VD/2$ となる期間と、電圧 $-VD/2$ となる期間とは、互いに50%ずつとなる。このため、非選択電圧からみたデータ電圧の実効値は、表示パターンに依存することなく、データ線同士にわたって一定になるので、いわゆるクロストークの発生が防止されることになるが、この点は、本発明とは直接関係しないので、これ以上の説明については省略することにする。

【0057】＜階調制御パルスと階調との関係＞ここで、パネル100において、階調制御パルスGCPにより規定される点灯電圧の印加期間Pw（パルス幅）と、画素階調との関係について図24を参照して説明する。図24は、点灯電圧の印加期間を変化させた場合における画素の階調変化について、1水平走査期間の後半期間(1/2H)を「255」（十進表記）として規定するとともに、その階調変化の最低階調（白色）を「0」、最高階調（黒色）を「15」として正規化して示す図である。この図に示されるように、点灯電圧の印加期間と画素階調とは、直線的な関係にない。

【0058】一方、Xドライバ250において、階調データDpixに対応する点灯電圧の印加期間は、最小値と最大値とを除けば、階調制御パルスGCPのカウンタによって定まる。したがって、点灯電圧の印加期間と画素階調とは直線的な関係にないのであれば、階調制御パルスGCPを中間階調に対応して14発出力するとともに、その出力の間隔を、必要な点灯電圧の印加期間に応じて不均等とさせれば良い、と単純に考えがちである。例えば、図24に示される特性であれば、最低値の「0」と最大値の「15」とを除く中間値の各々に必要な点灯電圧印加期間（パルス幅）は、図25に示される

通りである。このため、1水平走査期間の前半・後半期間(1/2H)を255分割するとともに、リセット信号RESの出力から「79」、「26」、「20」、「20」、…、「5」だけ経過したタイミングの各々において階調制御パルスGCPを出力する構成とすれば、濃度データDpを変換することなく、Xドライバ250に直接供給すれば、直ちに16階調の表示が可能となるはずである。

【0059】ここで、階調制御パルスGCPを、パルス幅/濃度の特性に合致するように不均等に出力するためには、例えば図26に示されるような構成が必要となる。この図において、カウンタ430は、1水平走査期間の前半または後半期間(1/2H)に対して1/255の周期を有する源振クロック信号Gckを、その立ち上がる毎にアップカウントするとともに、そのカウント結果を、OR回路435による論理和信号がHレベルに遷移すると、ゼロにリセットするものである。次に、コンパレータ440は、入力端Aに供給されるカウント結果と、入力端Bに供給されるしきい値が一致する毎に階調制御パルスGCPを1発出力するものである。一方、しきい値出力回路450は、リセット信号RESがHレベルになると、しきい値「79」を出力し、その後、階調制御パルスGCPが出力される毎に、しきい値「26」、「20」、「20」、…、「5」を順番に出力するものである。また、OR回路435は、リセット信号RESと階調制御パルスGCPとの論理和信号を求めるものである。このため、カウンタ430によるカウント結果は、リセット信号RESが出力されるか、または、階調制御パルスGCPが出力される毎にゼロにリセットされることになる。

【0060】この構成において、1水平走査期間の前半または後半期間の最初にリセット信号RESが供給されると、カウンタ430によるカウント結果がゼロにリセットされるとともに、しきい値出力回路450からしきい値「79」が出力される。したがって、まず、源振クロック信号Gckの立ち上がりから79回カウントされた時点にて、階調制御パルスGCPが出力されることになる。この後、カウンタ430によるカウント結果が再びゼロにリセットされるとともに、しきい値出力回路450からしきい値「26」が出力される。したがって、次に、源振クロック信号Gckの立ち上がりから26回カウントされた時点にて、階調制御パルスGCPが出力されることになる。以下同様して、階調制御パルスGCPが出力される。よって、図26に示される構成では、階調制御パルスGCPが、1水平走査期間の前半・後半期間(1/2H)において、「79」、「26」、「20」、「20」、…、「5」だけ経過したタイミングの各々において出力されることになる。なお、図27は、この構成において出力される階調制御パルスGCPのうち、1水平走査期間の後半期間における時間的後方部分

を抜き出して示すものである。

【0061】しかしながら、図26に示される構成は、本実施形態におけるパルス発生回路410(図8参照)と比較して複雑である上に、源振クロック信号Gckには、本実施形態で用いているクロック信号GCKの周波数よりも遙かに高いものが要求される。源振クロック信号Gckを供給する信号線には、通常、多少なりとも容量が寄生しているので、電力が余計に消費されることになる結果、低消費電力を阻害する大きな要因ともなる。

【0062】このため、本実施形態では、上述したように階調制御パルスGCPを、低周波数であるクロック信号GCKを用いて出力することにした。この関係上、階調制御パルスGCPは、画素の濃度特性とは無関係に、等間隔に出力されることになる(図9参照)。ここで、等間隔に出力される階調制御パルスGCPを用いると、画素における実際の階調(実階調)は、本来の濃度データDpで指示される階調の16段階との関係が希薄になるだけでなく、一定の濃度差を維持しなくなる。具体的には、図14または図15に示される通りである。例えば、階調制御パルスL1、L2で規定されるようにパルス幅が短いと、実階調の変化が大きくなる。このため、階調がなだらかに徐々に変化するような表示、例えばグラデーション表示をしようとしても、実階調の差により輪郭が視認される可能性がある。一方、階調制御パルスL10、L11で規定されるようにパルス幅が長いと、実階調の変化が小さいので、濃度差として視認されない可能性もある。なお、図14は、等間隔に11発出力される階調制御パルスGCPを用いた場合における画素の実階調を示す図表であり、また、図15は、この実階調を、濃度データDpで示される階調との対比して、■印にて示すものである。

【0063】そもそも、等間隔に11発出力される階調制御パルスGCPを用いると、本来の濃度データDpが16段階で画素の階調を指示するのにに対して、画素の階調を13段階でしか変化させることができず、3階調分だけ表現能力が低下してしまうことになる。

【0064】そこで、本実施形態では、変換回路500による変換特性を図13に示されるようなものとして、1垂直走査期間を単位としてみた階調データDpixが13段階であっても、画素116により表示可能な階調が、濃度データDpによって指示される本来の濃度である16段階に視認されるようにした。詳細には、図14において、濃度データDpの最低値である(0000)は、階調データDpixの最低値である(0000)に変換され、同様に、濃度データDpの最高値である(1111)は、階調データDpixの最高値である(1100)に変換される。

【0065】次に、濃度データDpによって指示される階調と階調データDpixによる実階調との差が無視できる程度であれば、当該濃度データDpは、そのまま当該

階調データDpixに変換される。例えば、濃度データDpの(0011)は画素の階調を「3」にする旨を指示するが、階調データDpixの(0001)による実階調が「3.17」であるので、濃度データDpの(0011)は、階調データDpixの(0001)に変換される。また例えば、濃度データDpの(0101)は画素の階調を「5」にする旨を指示するが、階調データDpixの(0010)による実階調が「5.22」であるので、濃度データDpの(0101)は、階調データDpixの(0010)に変換される。同様な理由によって、濃度データDpの(1000)、(1001)、(1010)、(1011)、(1100)および(1110)は、それぞれ階調データDpixの(0100)、(0101)、(0110)、(0111)、(1000)および(1011)に変換される。

【0066】一方、濃度データDpによって指示される階調と階調データDpixによる実階調との差が無視できないものであれば(または、濃度データDpによって指示される階調が、階調データDpixでは実現できないものであれば)、当該濃度データDpは、その指示階調の前後に実階調が位置する階調データDpixに、階調距離に応じた頻度に配分される(フレームレートコントロール法)。例えば、濃度データDpの(0001)は画素の階調を「1」にする旨を指示するが、この階調を実現する階調データDpixは存在しない。ただし、階調「1」の前後には、実階調を「0」とさせる階調データDpixの(0000)と、実階調を「3.17」とさせる階調データDpixの(0001)とが存在する。このため、濃度データDpの(0001)は、3垂直走査期間(フレーム)のうち、2垂直走査期間では(0000)に、残りの1垂直走査期間では(0001)に、それぞれ階調データDpixとして変換される。図13において、濃度データDpの(0001)に対する階調データDpixの表記は、この変換内容を意味している。

【0067】これにより、濃度データDpを(0001)として階調が指示された画素は、3垂直走査期間のうち、2垂直走査期間で階調データDpixが(0000)である白色となり、残りの1垂直走査期間で階調データDpixを(0001)とする中間階調となるので、3垂直走査期間を単位としてみた階調は「1.05」となり、濃度データDpで指示された階調とほぼ等しくさせることができる。

【0068】同様にして、濃度データDpの(0010)は、階調データDpixとして、3垂直走査期間のうち1垂直走査期間では(0000)に、残りの2垂直走査期間では(0001)に、それぞれ変換される。他の濃度データDpである(0100)、(0110)、(0111)および(1101)についても、対応する表記にしたがって階調データDpixに変換される。

【0069】このように、変換回路500による変換に

よれば、1垂直走査期間としてみれば、13段階でしか階調表現ができない画素116であっても、図15において◇印で示されるように、複数垂直走査期間としてみれば、濃度データDpによって「0」～「15」の16段階で等分に指示される階調とほぼ等しい階調にて視認されることになる。

【0070】本実施形態では、本来の濃度データDpで指示される階調表示が可能とした上で、階調制御パルスGCPを生成するための構成が簡略化されるほか、その生成のために必要な源振クロック信号も低周波数で済むので、低消費電力化が図られるのである。

【0071】＜変換回路の別構成＞上述した実施形態では、いわゆるフレームコントロール法によって濃度データDpを階調データDpixに変換したが、本発明はこれに限られず、種々の変換アルゴリズムを適用することができる。例えば、面積階調法によって変換しても良い。図16は、面積階調法によって濃度データDpを階調データDpixに変換する変換回路510を示すブロック図である。この面積階調法では、例えば3×3画素を1画素と想定するとともに、3×3画素におけるパターンによって新たな1画素の階調を指示するものである。

【0072】詳細には、変換回路510は、3×3の9画素に対し1個の画素に着目し、着目画素の濃度データDpを9個の画素に対応する階調データDpixに変換するとともに、当該階調データDpixを、垂直走査および水平走査に同期して供給することになる。この変換の際に、着目画素の座標(行および列)を特定するために、変換回路510には、着目画素の行を示すデータC o lと、列を示すデータR o wとが供給される。なお、データC o lについてはクロック信号YCKをカウントすることで、データR o wについてはクロック信号XCKをカウントすることで、それぞれ制御回路400で生成することができる。また、着目画素については固定的ではなく、1垂直走査期間毎に移動させても良いので、変換回路510には、フレーム数を示すデータF rが供給されている。なお、データF rについてはスタートパルスDYをカウントすることで、制御回路400で生成することができる。

【0073】ここで、図17に示されるように、着目画素の濃度データDpが例えば(0001)であれば、変換回路510は、9画素のうち6画素を(0000)に、残りの3画素を(0001)に、それぞれ変換する。この変換内容については、図13を参照することできる。ただし、図13において濃度データDpが(0110)、(0111)、(1101)である場合、対応する階調データDpixは、それぞれ2、5、2垂直走査期間を単位として変換されるので、ここでは、3×3画素(9垂直走査期間)を単位とした内容に修正する必要がある。

【0074】なお、面積階調法の単独では、解像度が1

／9に低下するなどの欠点があるので、上述したフレームレートコントロール法を併用することが望ましいと考える。また、面積階調において 3×3 のパターンのほかに種々のパターンが適用可能であるのは言うまでもない。さらに、変換の際の誤差を、当該画素の周囲に位置する画素に割り振るとともに、その周辺画素を変換する際には、割り振られた誤差をも考慮に入れて、全体（1フレーム）として誤差を最小とするような変換（誤差拡散法）としても良いし、変換の際に、乱数を加えてしきい値と比較しても良い。さらには、各変換法を適宜組み合わせても良い。

【0075】＜パルス発生回路の別構成＞上述した実施形態では、クロック信号YCKに対して $1/32$ の周期を有するクロック信号GCKを用いて、階調制御パルスGCPを生成したが、本発明は、これに限られない。例えば、図18に示されるパルス発生回路によって、階調制御パルスGCPを（14発）出力する構成としても良い。このパルス発生回路は、一見すると、図26に示されるパルス発生回路と共通であるが、用いるクロック信号と、しきい値出力回路により出力されるしきい値とを変更したものである。

【0076】パルス幅／階調の特性が図24、図25に示されるものである場合に、図26に示されるパルス発生回路によって階調制御パルスGCPを生成すると、源振クロック信号Gckに高い周波数が要求される結果、低消費電力化が阻害されるのは、上述した通りである。そこで、図25において、パルス間隔（パルス幅の差）の等比性に着眼し、これを近似して、図20に示される特性に置き換える。すなわち、図20に示されるパルス間隔（パルス幅の差）は、すべての「2.5」の倍数となるように近似されている。そして、源振クロック信号Gck（図26、図27参照）よりも「2.5」倍の周期を有するクロック信号Gclkが、リセット信号RESの供給後にカウンタ430によりカウントされて、当該カウント結果が「32」、「10」、「8」、「8」、…、「2」だけ経過したタイミングの各々において、階調制御パルスGCPが出力される構成となっている。この構成では、階調制御パルスGCPを生成するパルス発生回路の構成については、図26に示される構成と比較して簡略化できないものの、カウンタ430に用いるクロック信号Gckの周波数が40%（ $2/5$ ）で済むので、低消費電力化については可能となる。なお、図17においてパルス幅の差は、すべて、クロック信号Gclkに対して、1、2、4、8倍の周期を適宜足し合わせた間隔で表現される。このため、クロック信号Gclkを2、4、8分周するとともに、これらの分周信号およびクロック信号Gclkをデコードして、階調制御パルスGCPを出力する構成としても良い。

【0077】＜実施形態のまとめ＞なお、上述した実施形態では、16階調表示とする場合について説明した

が、本発明はこれに限らず、これによりも低階調の4、8階調表示としても良いし、これによりも高階調の32、64、…、階調としても良い。さらに、R（赤）、G（緑）、B（青）の3画素で1ドットを構成して、カラー表示を行うとしても良い。また、実施形態では、液晶容量が電圧無印加状態において白色表示となるノーマリーホワイトモードとして説明したが、同状態において黒色表示となるノーマリーブラックモードとしても良い。くわえて、実施形態にあつては、透過型としたが、反射型としても良いし、両者を併用した半透過半反射型としても良い。

【0078】また、実施形態にあつては、選択電圧が印加されたときに、点灯電圧を時間的に後方に寄せて印加して、階調データに対応して供給される階調制御パルスによって、点灯電圧の印加開始点を規定する構成としたが、点灯電圧を時間的に前方に寄せる構成としても良い。このように点灯電圧を時間的に前方に寄せる構成とすると、階調データに対応して供給される階調制御パルスは、点灯電圧の印加終了点を規定することになる。

【0079】さらに、本実施形態では、1水平走査期間を前半期間と後半期間とに分割して、このうちの後半期間に、いずれかの走査線に選択電圧を印加する構成としたが、前半期間に選択電圧を印加する構成としても良い。また、1水平走査期間を分割しないで、当該1水平走査期間にわたって、いずれかの走査線312に選択電圧を印加する構成としても良い。また、実施形態にあつては、液晶容量の書込極性を1垂直走査期間毎に反転する構成としたが、これに限られず、例えば2垂直走査期間以上の周期で反転駆動する構成としても良い。

【0080】一方、実施形態におけるXドライバ250は、図9に示されるように、カウンタ2540によるカウンタ結果Cを列毎に共用する構成としたが、列毎にカウンタを設けて、ラッチされた階調データとの比較を実行する構成としても良い。

【0081】また、上述した表示装置100におけるTFD220は、データ線212の側に接続され、液晶容量118が走査線312の側に接続されているが、これとは逆に、TFD220が走査線312の側に、液晶容量118がデータ線212の側にそれぞれ接続される構成でも良い。さらに、TFD220として、具体的にはMIM(Metal Insulator Metal)素子の他に、シリコン半導体、ZnO（酸化亜鉛）バリスタや、MSI(Metal Semi-Insulator)などを用いた素子のほか、これら素子を2つ逆向きに直列接続または並列接続したものなどを用いることが可能である。

【0082】さらに、実施形態にあつては、液晶としてTN型やSTN型とした場合について説明したが、分子の長軸方向と短軸方向とで可視光の吸収に異方性を有する染料（ゲスト）を一定の分子配列の液晶（ホスト）に溶解して、染料分子を液晶分子と平行に配列させたガス

トホスト型などの液晶を用いても良い。くわえて、電圧無印加時には液晶分子が両基板に対して垂直方向に配列する一方、電圧印加時には液晶分子が両基板に対して水平方向に配列する、という垂直配向（ホメオトロピック配向）の構成としても良いし、電圧無印加時には液晶分子が両基板に対して水平方向に配列する一方、電圧印加時には液晶分子が両基板に対して垂直方向に配列する、という平行（水平）配向（ホモジニアス配向）の構成としても良い。このように、本発明では、液晶や配向方式として、種々のものを用いることが可能である。

【0083】＜電子機器＞次に、上述した実施形態に係る表示装置を電子機器に用いた例について説明する。

【0084】＜その1：モバイル型パーソナルコンピュータ＞まず、上述した表示装置100を、パーソナルコンピュータの表示部に適用した例について説明する。図21は、このパーソナルコンピュータの構成を示す斜視図である。図において、コンピュータ1100は、キーボード1102を備えた本体部1104と、表示部として用いられる表示装置100とを備えている。なお、表示装置100として透過型液晶装置を用いる場合には、暗所での視認性を確保するため、背面にバックライト（図示省略）が設けられる。

【0085】＜その2：携帯電話＞さらに、上述した表示装置100を、携帯電話の表示部に適用した例について説明する。図22は、この携帯電話の構成を示す斜視図である。図において、携帯電話1200は、複数の操作ボタン1202のほか、受話口1204、送話口1206とともに、上述した表示装置100を備えるものである。なお、表示装置100として、液晶装置を用いる場合には、暗所での視認性を確保するため、透過型や半透過半反射型であれば、バックライトが、反射型であればフロントライト（いずれも図示省略）が、それぞれ設けられる。

【0086】＜その3：デジタルスチルカメラ＞次に、上述した表示装置を、ファインダに用いたデジタルスチルカメラについて説明する。図23は、このデジタルスチルカメラの背面を示す斜視図である。通常の銀塩カメラは、被写体の光像によってフィルムを感光させるのに対し、デジタルスチルカメラ1300は、被写体の光像をCCD（Charge Coupled Device）などの撮像素子により光電変換して撮像信号を生成するものである。ここで、デジタルスチルカメラ1300におけるケース1302の背面には、上述した表示装置100が設けられ、CCDによる撮像信号に基づいて、表示を行う構成となっている。このため、表示装置100は、被写体を表示するファインダとして機能することになる。また、ケース1302の前面側（図23においては裏面側）には、光学レンズやCCDなどを含んだ受光ユニット1304が設けられている。

【0087】ここで、撮影者が表示装置100に表示さ

れた被写体像を確認して、シャッターボタン1306を押下すると、その時点におけるCCDの撮像信号が、回路基板1308のメモリに転送・格納される。また、このデジタルスチルカメラ1300にあつては、ケース1302の側面には、外部表示を行うために、ビデオ信号出力端子1312と、データ通信用の入出力端子1314とが設けられている。

【0088】なお、電子機器としては、図21のパーソナルコンピュータや、図22の携帯電話、図23のデジタルスチルカメラの他にも、液晶テレビや、ビューファインダ型、モニタ直視型のビデオテープレコーダ、カーナビゲーション装置、ページャ、電子手帳、電卓、ワードプロセッサ、ワークステーション、テレビ電話、POS端末、タッチパネルを備えた機器等などが挙げられる。そして、これらの各種電子機器の表示部として、上述した表示装置が適用可能なのは言うまでもない。

【0089】

【発明の効果】以上説明したように本発明によれば、構成の簡略化や、低消費電力化を図った上で、多階調表示が可能となる。

【図面の簡単な説明】

【図1】 本発明の実施形態に係る電気光学装置の電気的な構成を示すブロック図である。

【図2】 同電気光学装置におけるパネルの構成を示す斜視図である。

【図3】 同パネルをX方向に破断した場合の構成を示す部分断面図である。

【図4】 同パネルをY方向に破断した場合の構成を示す部分斜視図である。

【図5】 同パネルの画素構成を示す部分破断斜視図である。

【図6】 同電気光学装置におけるYドライバの構成を示すブロック図である。

【図7】 同Yドライバの動作を説明するためのタイミングチャートである。

【図8】 同電気光学装置における階調制御パルスを生成するパルス発生回路の構成を示すブロック図である。

【図9】 同パルス発生回路による階調制御パルスの出力状態を示すタイミングチャートである。

【図10】 同電気光学装置におけるXドライバの構成を示すブロック図である。

【図11】 同Xドライバの動作を説明するためのタイミングチャートである。

【図12】 同Xドライバの動作を説明するためのタイミングチャートである。

【図13】 同電気光学装置における変換回路の変換内容を示す図表である。

【図14】 同電気光学装置における階調制御パルスと画素濃度との関係を示す図表である。

【図15】 同電気光学装置において、濃度データによ

り示される階調と、変換した階調データにより実際に表示される階調と、変換しない場合の階調との関係を示す図である。

【図16】 同電気光学装置における変換回路の応用構成を示すブロック図である。

【図17】 同変換回路の変換内容を説明するための図である。

【図18】 同電気光学装置におけるパルス発生回路の応用構成を示すブロック図である。

【図19】 同パルス発生回路の出力状態を示す図である。

【図20】 同パルス発生回路におけるデコーダのデコード特性を示す図である。

【図21】 同表示装置を適用した電子機器の一例たるパーソナルコンピュータの構成を示す斜視図である。

【図22】 同表示装置を適用した電子機器の一例たる携帯電話の構成を示す斜視図である。

【図23】 同表示装置を適用した電子機器の一例たるデジタルスチルカメラの構成を示す斜視図である。

【図24】 電気光学装置において、パルス幅と画素の階調との関係を示す図である。

【図25】 従来の電気光学装置において、階調と階調

制御パルスの出力タイミングとの関係を示す図である。

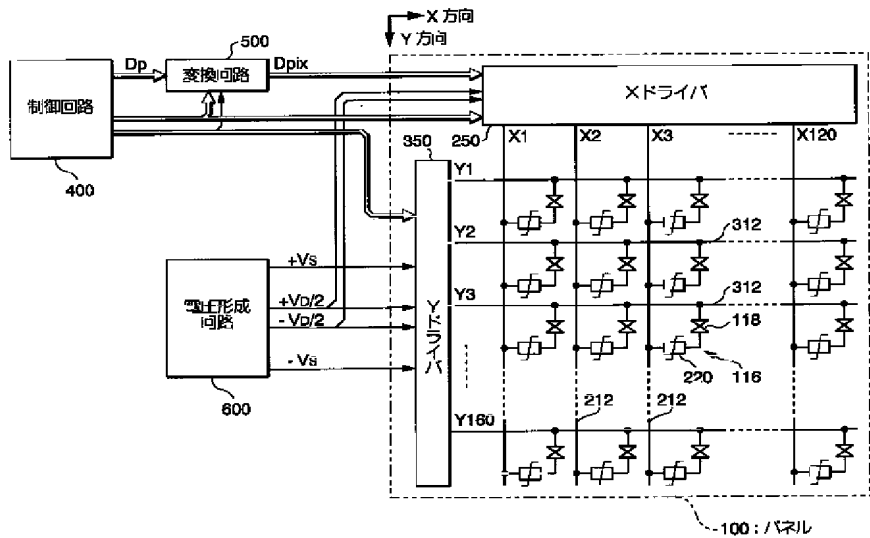
【図26】 従来の電気光学装置における階調制御パルス生成するパルス発生回路の構成を示すブロック図である。

【図27】 従来のパルス発生回路による階調制御パルスの出力状態を示す図である。

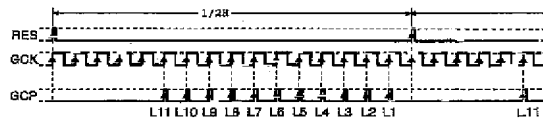
【符号の説明】

- 100……液晶パネル
- 116……画素
- 118……液晶容量
- 200……素子基板
- 212……データ線
- 220……TFD
- 234……画素電極
- 250……データ線駆動回路
- 300……対向基板
- 312……走査線
- 350……走査線駆動回路
- 400……制御回路
- 410……パルス発生回路
- 500……変換回路
- 600……駆動電圧形成回路

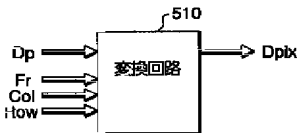
【図1】



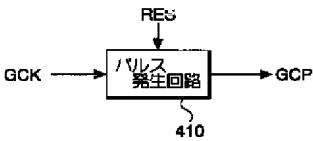
【図9】



【図16】



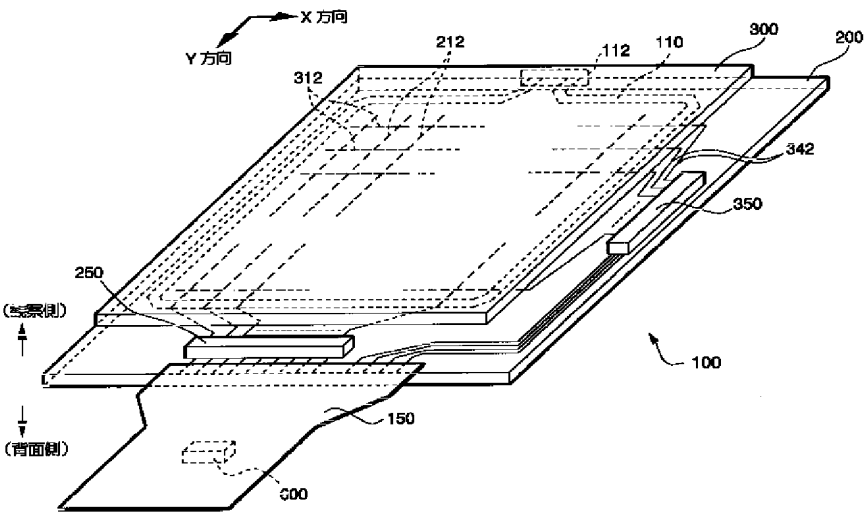
【図8】



【図14】

Dpix	GCP	実階調
(0000)		0.00
(0001)	L1	3.17
(0010)	L2	5.22
(0011)	L3	6.74
(0100)	L4	8.07
(0101)	L5	9.14
(0110)	L6	10.19
(0111)	L7	11.11
(1000)	L8	11.90
(1001)	L9	12.71
(1010)	L10	13.44
(1011)	L11	14.00
(1100)		15.00

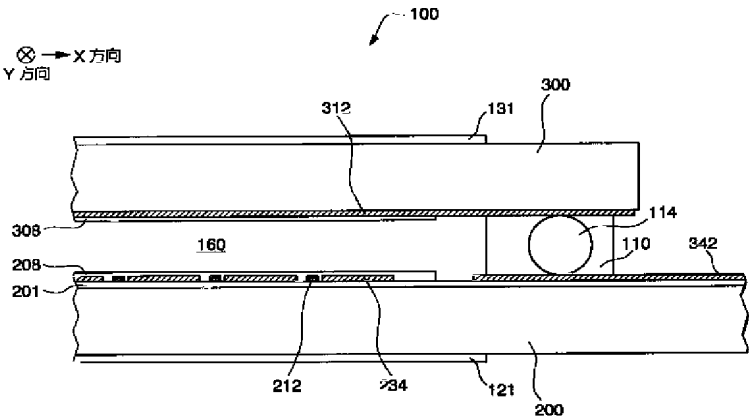
【図2】



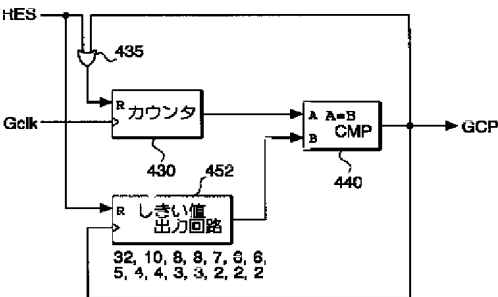
【図20】

階調	パルス幅	差	Gclk 比
0	0		
1	5	5	2
2	10	5	2
3	15	5	2
4	22.5	7.5	3
5	30	7.5	3
6	40	10	4
7	50	10	4
8	62.5	12.5	5
9	77.5	15	6
10	92.5	15	6
11	110	17.5	7
12	130	20	8
13	150	20	8
14	175	25	10
15	225	50	32

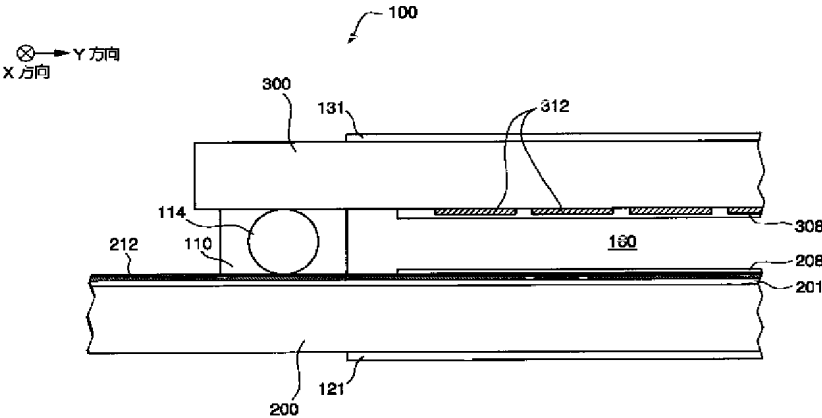
【図3】



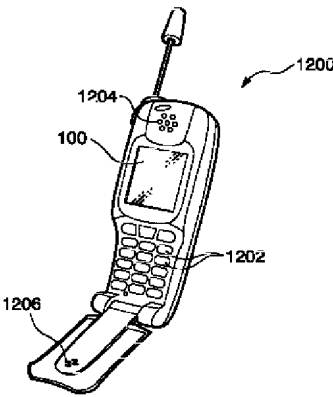
【図18】



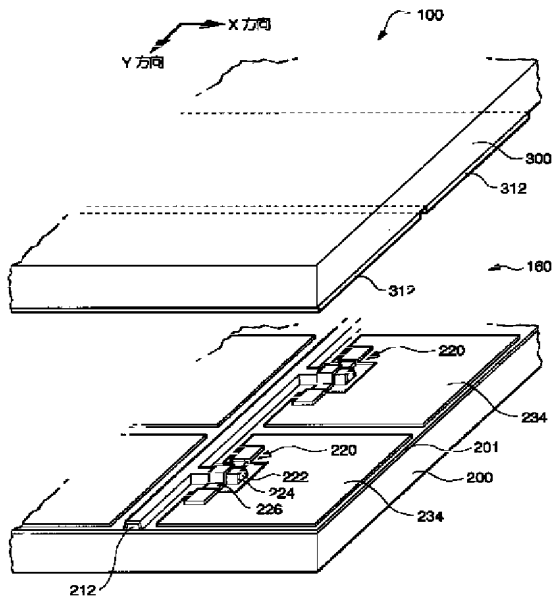
【図4】



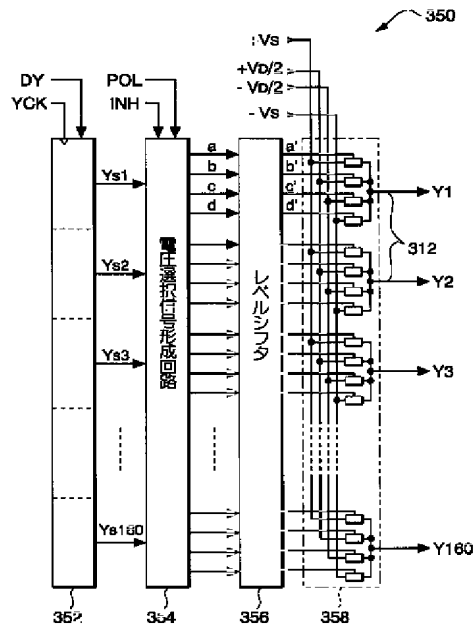
【図22】



【図5】



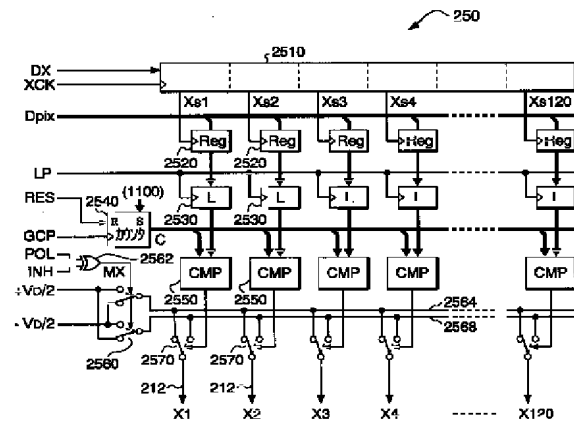
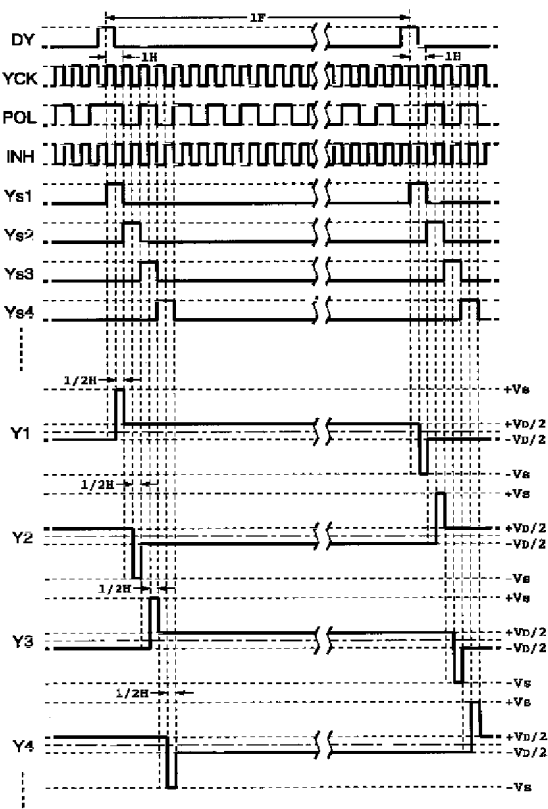
【例 6】



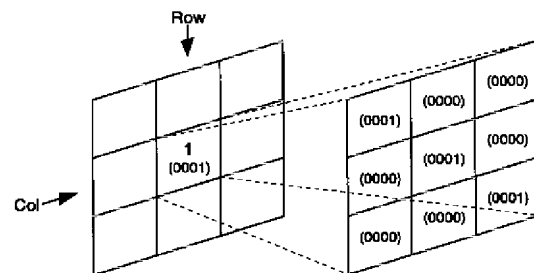
【例7】

【図 10】

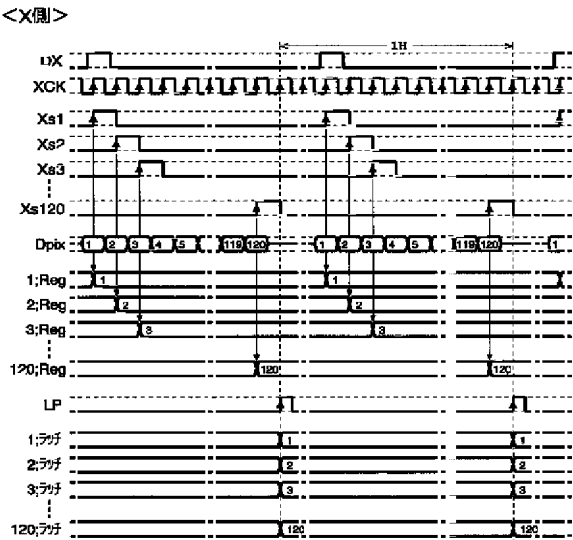
<Y側>



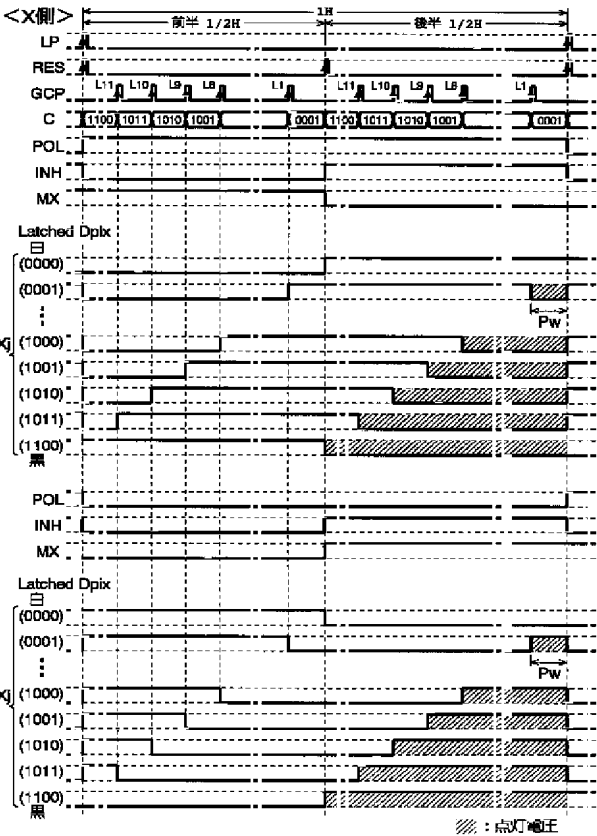
【図 17】



【図11】



【図12】

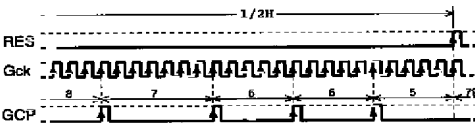


【図13】

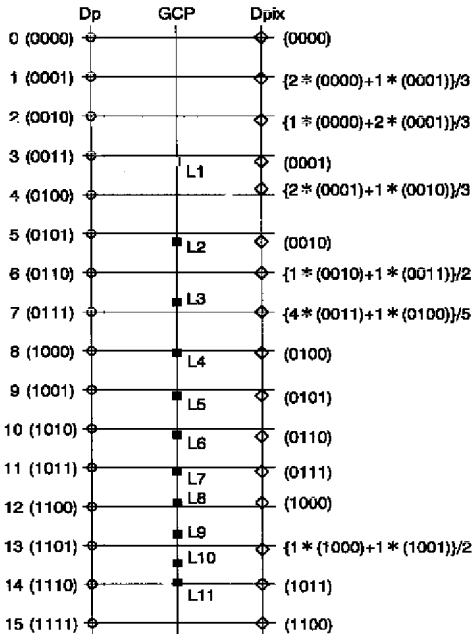
Dp	Dpix	GCP	差
0 (0000)	(0000)		± 0.00
1 (0001)	$\{2 * (0000) + 1 * (0001)\} / 3$		+ 0.05
2 (0010)	$\{1 * (0000) + 2 * (0001)\} / 3$		+ 0.11
3 (0011)	(0001)	L1	+ 0.17
4 (0100)	$\{2 * (0001) + 1 * (0010)\} / 3$	L1, L2	- 0.15
5 (0101)	(0010)	L2	+ 0.22
6 (0110)	$\{1 * (0010) + 1 * (0011)\} / 2$	L2, L3	- 0.02
7 (0111)	$\{4 * (0011) + 1 * (0100)\} / 5$	L3, L4	± 0.00
8 (1000)	(0100)	L4	+ 0.07
9 (1001)	(0101)	L5	+ 0.14
10 (1010)	(0110)	L6	+ 0.19
11 (1011)	(0111)	L7	+ 0.11
12 (1100)	(1000)	L8	- 0.10
13 (1101)	$\{1 * (1000) + 1 * (1001)\} / 2$	L9, L10	+ 0.08
14 (1110)	(1011)	L11	± 0.00
15 (1111)	(1100)		± 0.00

略図
↓

【図27】



【図15】



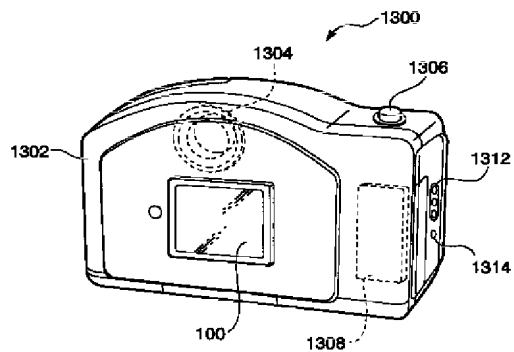
【図25】

階調	パルス幅	注
0	0	
1	5	5
2	10	5
3	15	5
4	22	7
5	30	8
6	40	10
7	51	11
8	63	12
9	78	15
10	93	15
11	110	17
12	130	20
13	150	20
14	178	26
15	255	79

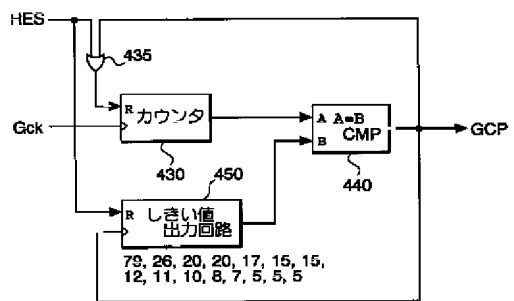
【図19】



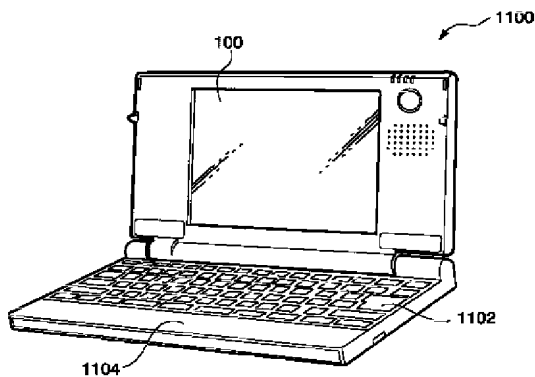
【図23】



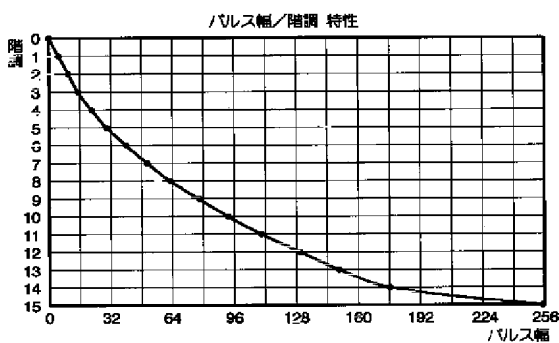
【図26】



【図21】



【図24】



フロントページの続き

(51)Int.Cl.⁷ 識別記号 F I (参考)
G 0 9 G 3/20 G 0 9 G 3/20 6 4 1 P

Fターム(参考) 2H093 NA16 NA41 NA51 NC12 NC34
NC37 ND06 ND39 NE04
5C006 AA15 BB17 BC03 BC12 BC16
BC20 BF14 BF22 BF46 FA41
FA47 FA56
5C080 AA10 BB05 DD22 DD26 EE29
FF11 JJ02 JJ04 JJ06